

面向产业需求的 21 世纪微电子技术的发展(下)*

王阳元 黄如[†] 刘晓彦 张兴

(北京大学微电子学研究院 北京 100871)

2.1.2 新工艺

在新器件制备工艺技术方面,超浅结工艺、沟道掺杂工程是器件进入亚 100nm 领域后需要采用的新工艺技术。

为了抑制小尺寸器件的短沟道效应、漏感应势垒降低效应、热电子效应等,要求特殊沟道掺杂分布,即所谓沟道工程,主要包括纵向沟道工程、横向沟道工程两个方向的 Super Halo 结构掺杂^[18-20]。纵向沟道工程主要指逆向掺杂,即沟道表面掺杂较低,而内部掺杂较高,这样一方面可以实现表面的高迁移率,提高驱动电流,另一方面,高的内部浓度可以有效地减小器件的关态泄漏电流,从而抑制短沟道效应(SCE)。横向沟道工程主要是利用沟道横向掺杂的非均匀性来克服短沟道效应,一般是指在沟道靠近源/漏端引入高掺杂区。在该类沟道工程中,环形掺杂结构(POCKET)或峰值掺杂结构(Halo 或 PEAK)是最典型的方法,除了在沟道源漏两端均引入 POCKET 或 Halo 结构区,还可以仅在沟道靠近源端一侧引入 POCKET 或 Halo 区,在有效克服短沟道效应的同时,还可以通过调节沟道电势和电场分布,实现载流子速度过冲和对势垒的钳制,提高器件的驱动电流和抗热载流子效应的能力。

随着器件特征尺寸不断按比例缩小,结深要求越来越浅,根据 SIA,对于栅长 $0.18\mu\text{m}$ 的器件,其结深应为 $54 \pm 18\text{nm}$,而对于 $0.1\mu\text{m}$ 的器件,其结深应为 $30 \pm 10\text{nm}$ 。在要求浅结的同时,其掺杂层还必须具有低的串联电阻及低的泄漏电流。超浅结技术直接关系到器件的 SCE 效应、源漏穿通、驱动电流和泄漏电流等电特性,在工艺中主要需要考虑掺杂杂质的引入、激活、深度的控制、工艺的集成以及所带来的损伤的减少等。通常,必须以最大的杂质激活和最小的杂质扩散为优化目标,因为很高的杂质激活意味着掺杂原子的大部分将成为材料中的电流载流子,这对减小串联电阻是非常重要的。结的掺杂分布

对器件性能的影响较大^[21]。

超浅结工艺主要包括超浅结杂质引入和杂质激活工艺。超浅结杂质引入工艺有低能离子注入、预非晶化注入(PAI)、固相掺杂技术等,需要考虑瞬态增强扩散(TED)的限制、激活量的要求以及深能级中心缺陷问题。除此之外,新的超浅结离子掺杂技术正处于快速发展之中,一些极有希望的技术方案,如等离子浸入掺杂(PIII)、投射式气体浸入激光掺杂(P-GILD)、快速气相掺杂、离子淋浴掺杂(ISD)和十硼烷团簇注入等,已得到深入研究。杂质激活工艺包括快速热退火(升降温速率很陡)、Spike 退火、激光退火等技术。现在在生产中较实用的技术是通过低能离子注入及快速热处理来实现浅结,该方法需要注意提高杂质激活率及抑制增强扩散等问题。

通过计算机辅助设计来预测和设计工艺是十分必要和重要的,针对超浅结工艺关键技术超低能离子注入及退火,我们进行了原子级工艺模拟,开发了离子注入模拟软件 LEACS (low energy atomic cascade simulator)^[22]和退火模拟软件 AMAS。其中 LEACS 软件中采用分子动力学模拟^[23,24],由于分子动力学模拟方法是非常耗时的计算方法,我们采用了一些必要的近似模型,如反冲作用近似,仅仅处理离子与其周围靶原子的相互作用,忽略靶原子自身的相互作用,大大减少了所需的计算量。另外,我们还引入了各向异性移位阈能模型、移位原子能量耗散模型,针对超低能注入特点,提出了表面效应的经验模型。此外,采用了域跟随算法,使模拟的区域跟入射离子的运动而移动。由于射程分布近似于高斯分布,在峰值附近停留的注入离子个数将远远大于在尾部停留的离子个数,使峰值附近的统计点很密,曲线也较光滑,而尾部的统计点较少,达到的精确度也低。为了增强尾部的统计性,我们采用了稀有事件

* 接第 6 期,2003-06-09 收到初稿,2004-01-17 修回

† 通讯联系人, E-mail: huangr@ime.pku.edu.cn

算法(REA) 利用实际离子分裂产生虚拟离子的方法 ,大大提高了计算效率 ,在此基础上 ,为了同时描述缺陷的产生及影响 ,提出了新型 REACE 算法 ,可以同时提高级联效应的计算效率 ,增强尾部统计性。

在退火过程中 ,杂质的扩散主要是受缺陷扩散的影响 ,大量的晶格原子在退火过程中并不参与扩散。因此 ,在我们的模型中 ,基本的粒子是杂质、Si 间隙原子和晶格空位(晶格原子不包括在模型中)。用这种办法 ,可以大大降低计算的复杂性。在考虑基本粒子的基础上 ,各种粒子聚合而成的团簇也包括在模型之中。团簇的形成被认为是产生瞬态增强扩散的主要原因^[25]。对 B 注入而言 ,在退火开始后 ,大量的硅间隙原子会聚合成大的团簇缺陷(例如 311 缺陷) ,在退火的过程中 ,这些大的团簇不断释放硅的间隙原子 ,从而驱动了 B 的扩散 ,形成增强扩散 ,直到团簇消散。在模型中 ,主要考虑了 Si 间隙的团簇、空位团簇以及 B - Si 团簇。

描述各种粒子的扩散行为需要定义粒子移动的速度 ,这是由粒子的移位势垒 E_b 决定的 :

$$v = v_0 \exp\left(\frac{-E_b}{kT}\right) \quad (2)$$

其中 v 为移动的速率 v_0 是系数 ,含义为单位时间内跳跃势垒的尝试的次数 ,该值一般可以取 $10^{13}/s$ 。如果将 E_b 定义为结合能 ,则该式也用来表示团簇释放单个粒子的速率。粒子移位势垒是由理论的计算和模拟确定的 ,间隙与空位的团簇结合能来自对有限数据的拟合 ,而 B - Si 团簇的结合能采用的 Pelaz 的模型中的数据^[5] ,相应的模拟软件 AMAS(atomic model annealing simulator)在上述模型基础上开发完成。

下面介绍基于以上模型和算法得到的模拟结果。

首先介绍离子注入模拟结果 ,为了研究 REA 近似的有效性 ,我们模拟了 As 2keV 注入 ,注入角度分别选择了(7 , 0) (0 , 0)和(45 , 45) ,图 10 显示了 REA 近似与无 REA 近似下模拟的对比。从图中看到 ,采用 REA 近似并未增加明显地差异。而采用 REA 算法可以明显地减少计算的的时间。图 11 给出了对 B 和 As 注入的模拟结果 ,相应的二次离子质谱仪(SIMS)测试结果也显示在图中。可以看出 ,模拟结果与实验结果符合得很好 ,模型得到了很好的验证。

以下是退火模拟的结果。为了验证模型对瞬态

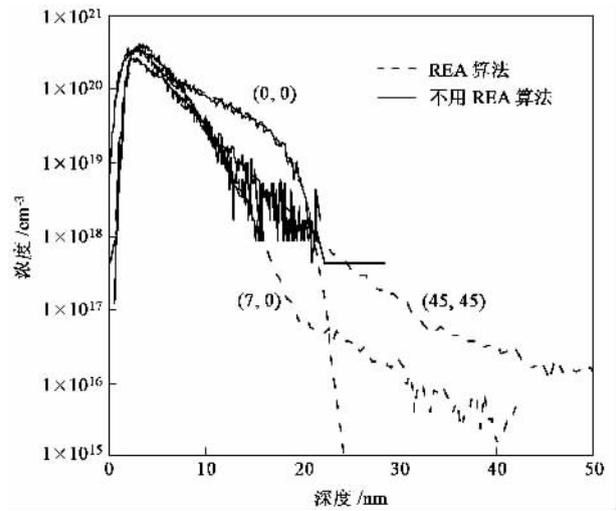


图 10 不同角度下 As 2keV 注入 Si{100} 的模拟结果验证 REA 近似

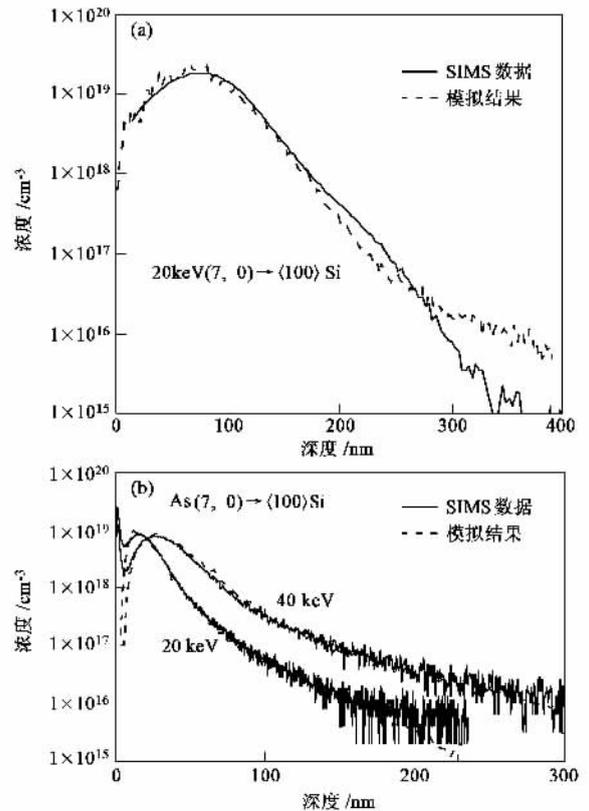


图 11 (a) B 20keV(7 ρ) 注入的模拟与实验结果 (b) As 20keV 和 40 keV(7 ρ) 注入的模拟与实验结果

增强扩散(TED)的描述 ,我们对 B 13keV 注入退火进行了模拟 ,如图 12 所示。可以看到 ,退火导致了 B 的增强扩散 ,模拟的结果和 SIMS 数据符合很好。在 B 的超低能注入退火情况下 ,依然会有强烈的增强扩散发生 ,即所谓的硼增强扩散(BED)现象。我们

也对此进行了模拟,图 13 显示了 B 13keV 和 B 0.5keV 注入后高温退火的模拟和实验结果,可以看到,模拟结果比较正确地再现了增强扩散.这表明我们的模型是适合于 TED 和 BED 的模拟的^[26].

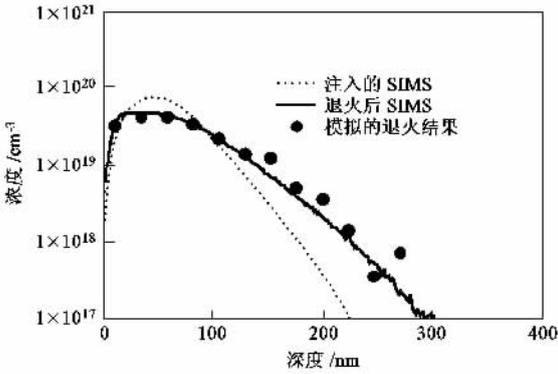


图 12 B 13keV $5 \times 10^{14} \text{ cm}^{-2}$ 注入后 1000℃下 10s 退火的模拟

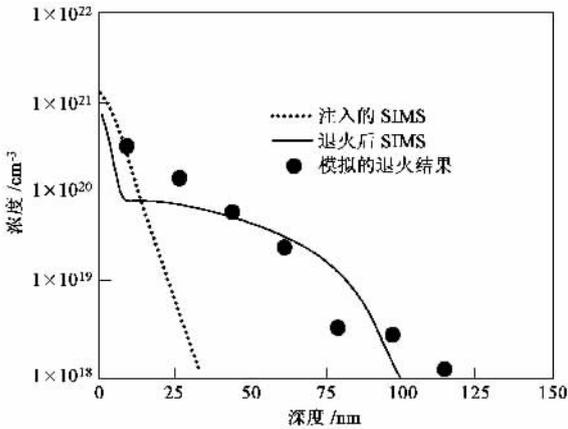


图 13 B 0.5keV $1 \times 10^{15} \text{ cm}^{-2}$ 注入后 1050℃下 10s 退火的模拟

2.1.3 新材料

尺寸缩小后出现的一些问题通过引入新材料可以解决,尤其在 MOS 器件中关键部分栅选用新材料可获得有效的改进,下面主要从栅介质和栅极材料方面介绍高介电常数栅介质及新型金属栅材料.

为了保持器件的特性,当 CMOS 器件的沟道长度缩小到 130nm 时,它的栅氧化层厚度要小于 2nm,这就相当于 2—3 个原子层的厚度,这么薄的栅氧化层会使栅的直接隧穿电流增大,从而导致栅的泄漏电流以指数规律增加,器件的静态功耗增加,为了解决这个问题,在不断地寻找新的栅介质材料,其中高 K 栅介质材料的采用可以在保持等效厚度不变的条件下,增加介质层的物理厚度,可大大减小直接隧穿效应和栅介质层承受的电场强度.高 K 栅介质材料的选择要考虑以下几个因素:为了保证较

小的有限氧化层厚度(EOT)K 值要大;为了保证漏电较小,禁带宽度不能太小;引入的介质与半导体界面特性良好,具有较低的界面态,不引起载流子迁移率退化;引入的介质与栅极材料反应很小,与半导体材料反应也较小,具有较好的温度稳定性,材料的可靠性以及与传统工艺的兼容问题都是需要考虑的因素^[27—29].

目前,国内外有关高 K 栅介质材料的研究已有很多报道.研究较多的高 K 栅材料有 CeO_2 , Y_2O_3 , Ta_2O_5 , HfO_2 , ZrO_2 , TiO_2 , Al_2O_3 等二元金属氧化物以及 SrTiO_3 (STO)和 BaSrTiO_3 (BST)等具有钙钛矿结构的氧化物材料系统^[30—34].其中 CeO_2 , Y_2O_3 和 Al_2O_3 介电常数较低, SrTiO_3 (STO)和 BaSrTiO_3 (BST)的介电常数较高但是抗短沟道效应较差.另外,大多数高 K 栅材料的热稳定性较差. HfO_2 介质材料具有高的介电常数(相对介电常数为 25),稳定的化学性质,且与 Si 有很好的晶格匹配,因此,利用 HfO_2 栅介质来替代传统的 SiO_2 是一个比较理想的选择.

我们已经对 Al_2O_3 和 HfO_2 栅介质材料进行了较细致的研究,制备了有效氧化层厚度约为 3nm 的超薄 HfO_2 栅介质 MOS 电容,并且测试了超薄 HfO_2 栅介质和 Al_2O_3 栅介质 MOS 电容的电学特性和可靠性.其中部分实验结果如图 14、图 15 和图 16 所示.实验结果表明, HfO_2 栅介质具有良好的电学特性和可靠性.

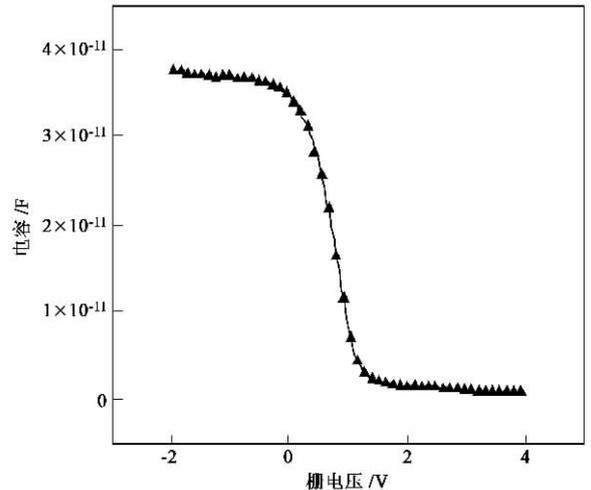


图 14 HfO_2 的 C-V 特性曲线

传统的栅极材料采用的是多晶硅栅,为了解决多晶硅栅耗尽效应、多晶硅中硼穿透问题,同时降低栅极串联电阻,并解决尺寸缩小后掺杂浓度提高引

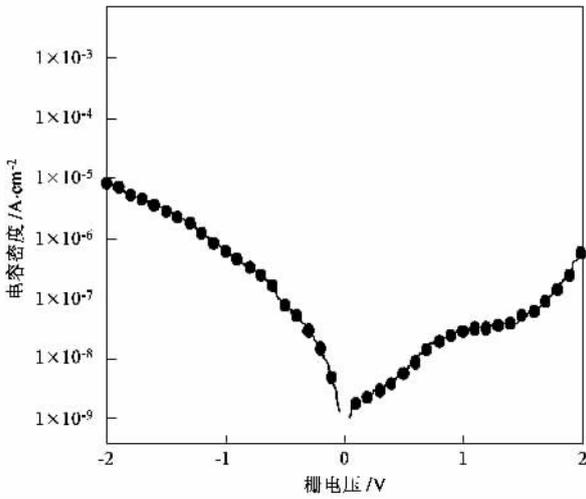


图 15 HfO₂ 的 *I*-*V* 特性曲线

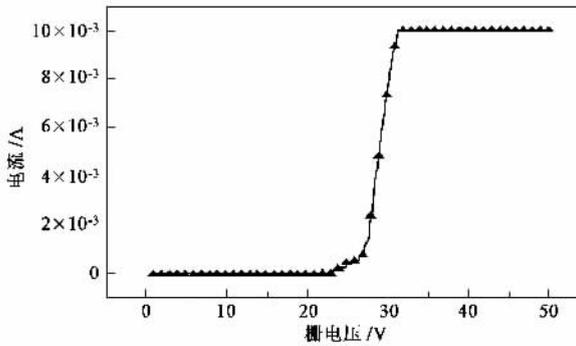


图 16 HfO₂ 的击穿特性

起掺杂杂质涨落的影响,需要引入金属栅材料作栅极材料.另外,从高 *K* 栅介质应用角度看,多晶硅栅与很多高 *K* 介质(比如 Ta₂O₅ 和 ZrO₂)接触时热稳定性不好,而许多金属和这些栅介质接触都比较稳定,因此选用金属栅电极有较大优势.

金属栅材料的选择主要考虑栅材料的功函数使 NMOS 器件和 PMOS 器件的阈值电压比较匹配.一般包括两类方法:一类是用中间带隙的金属栅(即单功函数金属栅)来实现阈值匹配,通常采用栅替换工艺来实现自对准的单功函数金属栅 MOSFET,在栅替换工艺中用 CMP 确定栅电极图形,类似镶嵌工艺,可以避免等离子刻蚀带来的损伤,但这种工艺与标准 CMOS 工艺不太兼容,而且工艺步骤增加较多,稳定性和可靠性较差^[35,36].另外可以采用多晶锗硅栅作栅电极,栅材料功函数随 Ge 元素组分变化而变化.研究发现,P⁺多晶 GeSi 的功函数随 Ge 组分的增大而显著下降,采用 P⁺多晶锗硅栅的 CMOS 技术能得到短沟道效应很好的 NMOS 器件

和表面沟道的 PMOS 器件^[37].另一类金属栅技术是双功函数金属栅 CMOS 技术,它采用不同功函数的金属栅来实现 NMOS 和 PMOS.由于淀积一种金属后刻蚀露出栅氧,再淀积另一种金属,会对栅氧造成很大的影响,需要采用新的技术来实现双功函数金属栅.目前有通过双金属互扩散方法或在金属中注入杂质方法来调整功函数,下面作一简单介绍.

对于双金属互扩散方法^[38],首先在整个硅片上淀积一功函数较低的薄层金属,然后淀积较高功函数的第二种金属,如图 17(a)所示.用光刻胶保护 p-MOS 区域,有选择地去除 n-MOS 区域的较高功函数的金属,在 n-MOS 区域上方只有较低功函数金属决定 n-MOSFET 的阈值电压.通过 p-MOS 区域上方的两种金属内扩散,在某些情况下,两种金属会形成合金,获得介于两种金属功函数之间的中间功函数.选择一个合适的金属层厚度比例,可以控制两种金属的组分和栅功函数.有时在一定条件下,顶层金属可能会扩散到栅介质/硅衬底界面处[如图 17(b)所示],由这种金属决定 p-MOS 器件栅电极的功函数.

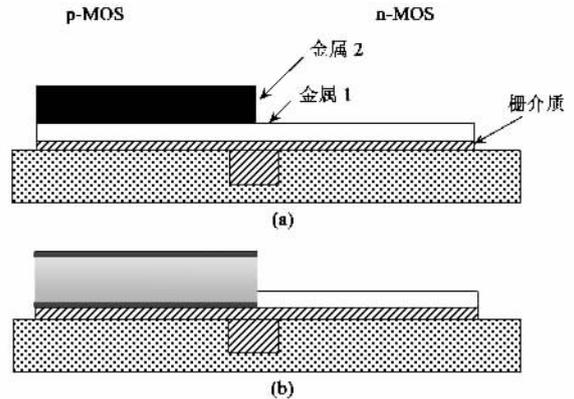


图 17 双功函数金属工艺示意图 (a) n-MOS 区域去掉第二种金属后的 CMOS 结构 (b) 内扩散后顶层金属下移到栅介质表面

图 18 给出了提取得到的金属栅的功函数.由图可见,内扩散之前,电极的功函数与 Ti 栅样品相似,退火以后,功函数与 Ni 栅样品在相同条件下退火后的功函数相近,主要由于退火以后 Ni 扩散到 SiO₂ 界面. Ti 的功函数为 3.9eV,接近硅导带,可以作为 n-MOS 栅电极;Ni 的功函数为 5.3eV,接近硅价带,可用于 p-MOSFET.

此外,有一些研究者提出了在金属中注入杂质调整功函数的方法^[39],通过对金属 Mo 注入氮来改变功函数,对应关键工艺步骤的器件剖面如图 19 所

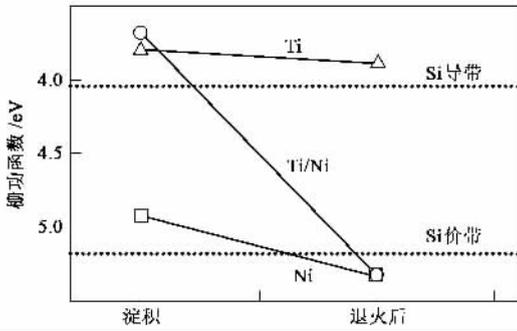


图 18 Ti 的功函数为 $3.9 \pm 0.08\text{eV}$, 适合做 n-MOS 栅. Ti/Ni 栅在内扩散后的功函数接近 Ni ($5.32 \pm 0.04\text{eV}$) 适合用作 p-MOS 栅

示. Mo 是一种可用作 PMOSFET 栅电极的金属, 而且能和不少栅介质稳定接触, 在 Mo 中注入 N 可以降低它的功函数, 从而满足用于 NMOSFET 栅的需要. 这种技术的优点在于用单种金属实现双功函数, 对未来的低功耗器件和系统芯片 CMOS 技术和多阈值技术都提供了一种可行的途径.

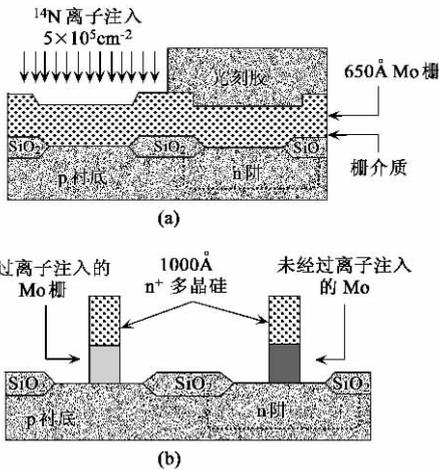


图 19 Mo 中注入 N 调整功函数的 CMOS 剖面示意图
(a) 淀积 Mo 后注入 N (b) 刻栅

2.2 光刻技术

微电子技术能否继续按 Moore 定律预测的规律继续发展下去, 在很大程度上取决于曝光技术能否提供相应的技术支持, 因为特征尺寸的缩小主要依赖于光刻技术的改进和发展. 而光刻技术能否满足微电子技术的需要主要取决于曝光系统的性能, 如分辨率、焦深、关键尺寸控制、套刻精度、光刻胶性能等技术指标, 同时也取决于价格因素.

当前主流曝光技术是以 248nm 波长的 KrF 准分子激光作为曝光光源的深紫外(DUV)光学曝光技术, 以 193nm 波长的 ArF 准分子激光作为曝光光

源的 DUV 曝光技术已基本成熟. 为了进一步改善主流光学曝光系统的性能, 使之能够满足更高分辨率加工的需要, 人们研究和开发了一系列的分辨率增强技术(RET), 以满足更高分辨率的要求. 分辨率增强技术主要包括偏轴照明、邻近效应校正、移相掩膜、光刻胶修剪、具有抗反射功能的多层光刻胶和具有表面成像功能的光刻胶技术等. 按照半波长理论, 当半导体技术进入到 100nm 以下技术时代后, 需要引入目前尚未成熟的 157nm 光学曝光技术和新一代的光刻技术(NGL), 如 EUV 光刻、电子束 SCALPEL、离子束光刻、X 射线光刻、纳米印制光刻等^[40-41].

157nm 光学曝光技术是当前国际上正大力研发的曝光技术之一^[41], 它以 157nm 波长的 F₂ 准分子激光作为曝光光源, 仍将采用投影式光学曝光系统的设计, 在光学投影曝光技术中已经发展成熟的各种分辨率增强技术方案都可在 157nm 曝光系统中得到应用. 目前 157nm 曝光技术已不存在不可逾越的技术障碍, 影响 157nm 曝光技术在集成电路技术中应用的主要因素并不在制备技术方面, 而是制造成本(包括光刻机、掩模版等)太高. 由于 193nm 曝光技术的极限在 100nm, 而按照半波长技术极限判据, 157nm 曝光技术可加工的最小特征尺寸将在 70nm 左右, 因此, 在 70nm 至 100nm 的技术时代, 人们普遍认为, 157nm 光学曝光技术将是主流的曝光技术.

为了满足 70nm 以下技术时代的需要, 需要发展曝光波长比 157nm 更短的曝光工具. 但对于波长小于 157nm 的光来说, 自然界中的大多数材料均对其有强烈的吸收, 难以制备投影光学系统, 因此, 70nm 技术时代以下的曝光系统或者需要采用电子束、离子束等新的曝光粒子, 或者需要采用接近式光学系统, 但 13nm 甚紫外(EUV)投影曝光技术是一个例外.

13nm 甚紫外曝光技术被认为是 157nm 技术之后最有竞争力的新一代曝光技术之一^[42]. 它采用波长在 10—14nm 范围内的软 X 射线作为曝光光源. 研究发现, Mo/Si 多层膜材料结构对 13nm 附近波段的光有高的反射率, 可用来制造 13nm 波长的光学透镜和掩模版. 13nm 甚紫外技术在曝光光源、光学系统、掩模版、光刻胶、Mo/Si 多层膜制备技术等方面均不成熟. 但它采用了与深紫外光学曝光技术相一致的系统结构和概念, 在工艺兼容性、技术规范、系统要求等方面更容易被半导体工业界所接受和采

用;由于曝光波长很短,有利于系统性能得到改善;无需采用邻近效应校正技术和移相掩模技术,光刻成本下降.因此,与其他的新一代曝光技术如电子束投影曝光、X射线曝光、离子束投影曝光等技术相比,13nm 甚紫外曝光技术具有更好的应用前景.

电子束曝光是利用高能电子束作为曝光光源的新一代曝光技术,是70nm 以下技术时代替代曝光技术的主要候选者之一.目前发展的电子束曝光技术有直写式曝光和投影式曝光两种.直写式曝光的曝光速率极低,不可能在集成电路产品制造领域中应用.有可能应用到集成电路制造领域的电子束曝光是基于投影式曝光的电子束曝光系统,典型系统是 Bell 实验室的 SCALPEL 系统^[43],它采用了革新的散射式的掩模版技术,解决了传统电子束光刻技术中存在的热效应问题,SCALPEL 系统中的掩模版由两部分组成:一是散射式掩模版;一是与之配套的散射电子吸收光阑.其中掩模版与光学掩模版类似,由两层不同材料的薄膜构成,Si 材料作为两层薄膜结构的支撑,第一层是可透过电子的低原子数材料薄膜(如100nm 的 SiN 层),第二层是使电子发生散射的高原子数材料薄膜(如25nm 的金属 W 层).受到散射的电子被吸收光阑吸收,透过的电子可通过吸收光阑到达硅片表面的光刻胶,使之曝光.由于被散射的电子不是被掩膜本身吸收,因此解决了热效应的问题.在电子束曝光技术中,主要面临的问题是低的产率,SCALPEL 系统在产率方面有较大提高,但仍还不能完全满足大生产的要求,提高产率仍然是电子束曝光技术所面临的重大问题.

X 射线曝光技术实际上已经发展比较成熟了^[44],影响其在主流产品制造技术中应用的主要障碍有两个:一个是成本问题,主要是掩模版的制备和使用成本;另一个是工业界的传统习惯问题.随着157nm 曝光技术取得的突破,光学曝光技术可加工的范围已可覆盖 X 射线曝光技术的范围,与157nm 技术相比,X 射线曝光技术并未显示出较大的成本优势,这使得 X 射线曝光的竞争力进一步下降,应用前景更不明朗.

离子束曝光是利用离子束作为曝光源的新一代曝光技术之一^[45],通常采用投影曝光的印制方式.由于离子束波长极短($<10^{-4}$ nm),较电子束波长更短,离子束投影曝光系统具有极高的极限分辨率,可获得比电子束曝光更高的分辨率和焦深性能,但离子束曝光技术还远未成熟,关键的技术问题还没有很好的解决方案,其前景还属于未知数.

纳米印制光刻是一种与传统技术概念完全不同的新一代曝光技术^[46],通过印制结合反应离子刻蚀(RIE)实现图形转移.主要由两个过程组成:一是图形印制的过程,首先利用类似于印章的印制模具挤压硅片表面的光刻胶,待图形形成后,撤去印制模具,即可形成光刻胶厚度不同的印制图形;二是图形转移过程,利用反应离子刻蚀方法(RIE)对形成印制图形的光刻胶进行 RIE 刻蚀,将其中厚度较薄图形部分的光刻胶刻蚀掉,最终形成与传统曝光技术效果相一致的光刻胶转移图形.印制模具制造技术及图形的对准问题都是纳米印制光刻技术中有待解决的主要技术问题.

据预测,目前以248nm 技术为主的主流曝光技术,通过采用分辨率增强技术,可以推进到130nm 的技术时代;以193nm 为代表的 DUV 光学曝光技术可以满足直到100nm 技术时代的要求;70nm 至100nm 技术时代的主流曝光技术则可能属于以157nm 技术为代表的后光学曝光技术;在30nm 至70nm 技术时代,13nmEUV 和电子束 SCALPEL 技术可能是主要的候选技术,其中 EUV 技术适宜于大批量产品的制造,SCALPEL 技术适宜于小批量产品的制造;如果微电子技术能够继续向更小尺寸的技术时代发展,则在10nm 至30nm 技术时代的曝光技术有可能是纳米印制技术.

2.3 互连技术

特征尺寸的缩小同时会导致互连引线横截面和线间距的减小,电阻、电容、电感引起的寄生效应将会严重影响电路的性能,包括信号传输延迟的增加和信号传输畸变显著,因此在器件门延迟减小的同时,会使互连性能降低.从250nm 技术开始,互连延迟已超过器件的门延迟,成为主要的系统延迟因子.当集成电路技术发展到深亚微米技术时代以后,互连将成为确定集成电路性能、封装密度、可靠性、制造产率和成本的最重要因素之一,而当集成电路进入到纳米技术时代时,互连将成为制约集成电路性能提高和成本下降的主要因素.

当集成电路技术的发展进入到亚100nm 技术时代以后,互连技术中主要的挑战来自于新的互连材料及其集成技术,互连线特征尺寸的控制,互连结构和工艺的可靠性问题等.与低 K 介质结合的 Cu 互连技术是目前主要的研究课题^[47,48].

在所发现的导电材料中,金属 Cu 是除了超导体外电导率最高的两种金属材料之一.此外,由于 Cu 比 Al 有好的电迁移特性,因此,Cu 互连技术的

应用将改善集成电路的可靠性,采用低 K 互连介质,可以减小 RC 互连延迟,进一步改进集成电路的速度性能. Cu 互连技术主要需要解决 Cu 扩散污染和 Cu 引线图形的加工问题.

双大马士革结构(dual damascene)工艺是目前 Cu 互连集成技术将普遍采用的工艺方案^[49,50],具有互连引线(wiring)沟槽与互连通孔(via)同时淀积填充的特点,而且只需进行导电金属层的 CMP 工艺,因此,与传统的互连工艺相比,工艺步骤减少、相应的工艺成本降低,这是 Cu 互连工艺技术的另一优点.图 20 给出了自对准的双大马士革结构工艺流程图.

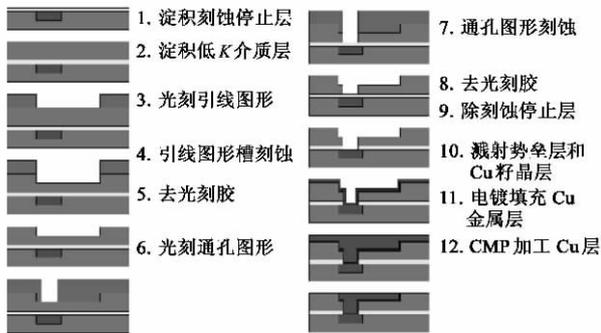


图 20 自对准的双大马士革结构工艺流程图

随着新材料如 Cu 和低 K 介质的引入,尺寸控制在高密度间距和高深宽比互连层的加工中变得越来越关键,在未来的芯片技术时代,Cu 与低 K 材料仍将得到应用.但是集成电路技术的进一步发展对互连性能提出更高的要求,仅仅通过材料方面的改进,将无法满足集成电路性能的要求,需要在互连的结构和设计方面进行改进,发展新一代的互连集成技术.目前研究的新一代互连集成技术包括:三维集成互连技术、射频(RF)互连技术、光互连技术等,此外,还需要在设计和封装技术方面进行创新.

三维集成技术是具有新的工艺集成模式的新互连技术.三维集成技术拥有多层有源 Si 层,每个 Si 层可有多层互连引线层,不同引线层之间利用垂直的层间互连与公共的全局互连连接起来.三维集成互连技术,可以减小互连引线长度,增加晶体管的封装密度,减小芯片面积.实现三维集成技术主要的挑战来自于多层有源 Si 层的制备技术,此外,还有热的问题、互连电容和串扰等问题.

射频互连是以微波信号的低损耗、无色散传输和近场电容耦合为基础的新型互连技术,它在传输速度、信号完整性、信通再构等方面具有很大的优

点^[51,52].与 Cu 互连等电学互连方案相比,光互连具有输入/输出端口密度高、功耗低、互连延迟小,不受高频损耗、信号串扰及电磁干扰的影响等优点,同时,光的通信路径可以很容易地通过合适的光学器件实现路由、组合、分离和重构^[53].射频互连和光学互连技术面临的挑战除了系统的性能、与 Si 工艺的兼容、制造成本及可靠性等方面外,还包括这些新的技术应用的环境和被工业界接收的程度等因素.

专家预测 MOS 器件的极限尺寸将为 8—10nm,这也是 2001 年国际半导体技术路线图中给出的最小尺寸,这一极限并不来自于基本物理限制,而是由于源漏量子隧穿和带带隧穿、PN 结隧穿以及弹道输运等.8—10nm 以后微电子技术将如何发展?一方面将诞生基于新机制的新器件,纳电子学器件的发展将加快,如单电子器件、量子自组装器件、分子电子器件(碳纳米管电子器件、分子器件)等,但新技术从诞生到进入主流技术至少需要 30 年的研究积累;另一方面,系统芯片(SOC)的发展给硅基工艺带来许多机遇,21 世纪将是 SOC 的时代,长期的科研投入使人们对硅及其衍生物各种属性的了解达到十分深入透彻的地步,成为自然界 100 多种元素之最,这是非常宝贵的知识积累,而全世界数以万亿美元计的设备和技术投入也已使硅基工艺形成了非常强大的产业能力,人们不会轻易放弃硅,从 SOC 角度说,硅时代还可以延续 100 年,即使微电子产业步入像汽车、航空等成熟工业领域,它仍将保持快速发展趋势,就像汽车、航空工业已经发展了 100 多年仍极具发展潜力一样,此外,硅技术与其他技术结合将诞生新的技术增长点,如微机电系统技术等.

致谢 本文得到北京大学微电子学研究院康晋峰教授、张盛东博士、于民博士的支持和帮助,在此一并表示感谢.

参 考 文 献

- [18] Williams S C, Hulfachor R B, Kim K W *et al.* IEEE Trans. Electron Devices, 1998, 45: 254
- [19] Yeh W, Chou J. IEEE Trans. Electron Devices, 2001, 48: 2357
- [20] Wakabayashi, Ueki M, Narihiro M *et al.* IEEE Trans. Electron Devices, 2002, 49: 89
- [21] Jones E C, Ishida E. "Shallow Junction Doping Technologies for ULSI. Materials Science and Engineering", 1998, R24: 1—80
- [22] Ran Y J, Gao W Y, Huang R *et al.* Chinese Journal of Electronics 2000, 9: 350
- [23] Ordlund K N. Comp. Mat. Sci., 1995, 3: 448
- [24] Beardmore K M, Gronbech-Jensen N. Phys. Rev. E, 1998, 57: 7278

- [25] Pelaz L , Gilmer G H , Gossmann H -J *et al.* J. Appl. Phys. Lett. ,1999 74 3657
- [26] Yu M , Huang R , Zhang X *et al.* Atomistic simulation of RTA annealing for shallow junction formation characterizing both BED and TED , International Conference on Simulation of Semiconductor Processes and Devices , Japan 2002
- [27] Wilk G D , Wallace R M , Anthony J M. Journal of Applied Physics ,2001 , 89 : 5243
- [28] Cheng B , Cao M , Rao R *et al.* IEEE Trans. Electron Devices , 1999 ,46 :1537
- [29] Gusev E P , Carrier E , Buchanan D A *et al.* Microelectronic Engineering ,2001 , 59 :341
- [30] Qi Wen-jie , Nieh Renee , Lee Byoung Hun *et al.* Appl. Phys. Letters ,2000 , 77 :3269
- [31] Jo Moon-Ho , Park Hyung-Ho. Appl. Phys. Letters , 1998 , 72 :1391
- [32] 康晋锋 ,刘晓彦 ,王玮等. 半导体学报 2001 22 865[Kang J F , Liu X Y , Wang W *et al.* Chin. J. Semicond. ,2001 22 : 865(in Chinese)]
- [33] Yeh Ching-Fa , Chen Tai-Ju , Kao Jiann-shiun. Appl. Phys. Lett. ,1997 , 70 :1611
- [34] Veena Misra , Greg P. Heuss , Huicai Zhong. Appl. Phys. Lett. ,2001 , 78 :4166
- [35] Yagishita A , Saito T , Nakajima K *et al.* IEEE Trans. On Electron Devices ,2001 , 47 :1028
- [36] Matsuki T , Kishimoto K , Fujii K *et al.* IEDM Digst. ,1999. 261
- [37] King T J , Pfiester J R , Saraswat K C S. IEEE Electron Device Lett. ,1991 , 12 533
- [38] Polishchuk I , Ranade P , King T J *et al.* IEEE Electron Device Lett. ,2001 , 22 :444
- [39] Lu Q , Lin R , Ranade P *et al.* 2001 Symposium on VLSI Technology Digest of Technical Papers ,2001 45
- [40] 王阳元 ,康晋锋. 半导体学报,2002 , 23 :225[Wang Y Y , Kang J F. Chin. J. Semicond. ,2002 23 225(in Chinese)]
- [41] Chiu G L - T , Shaw J M. Optical Lithography :Introduction , IBM J. Res. Develop. ,1997 ,41 (1/2) 3
- [42] Bloomstein T M , Rothschild M , Kunz R R *et al.* J Vac. Sci. Technol. ,1998 ,B16 3153
- [43] Gwyn C W , Stulen R , Sweeney D *et al.* J Vac. Sci. Technol. ,1998 ,B16 3142
- [44] Liddle J A , Berger S D , Biddick C J *et al.* Jpn. J. Appl. Phys. ,1995 ,34 ,Part 1 :6663
- [45] Silverman J P. J Vac. Sci. Technol. ,1998 ,B16 3137
- [46] Gross G , Kaesmaier R , Loschner H , Stengl G. J Vac. Sci. Technol. ,1998 ,B16 3150
- [47] Chou S Y , Krauss P R , Renstrom P J. Science ,1996 ,272 : 85
- [48] 王阳元 ,康晋峰. 半导体学报,2002 , 23 :1121[Wang Y Y , Kang J F. Chin. J. Semicond.2002 23 :1121(in Chinese)]
- [49] Zhao Bin. International Conference on Solid - State and Integrated Circuit Technology Proceedings (ICSICT2001) ,2001 , 337
- [50] Kudo H , Yoshie K , Yamaguchi S *et al.* Proceedings of International Interconnect Technology Conference (IITC2000) , 2000 ,270
- [51] Chen M , Shin H S , Cheung R *et al.* Proceedings of International Interconnect Technology Conference (IITC2000) ,2000 , 194
- [52] Shin H , Chang MF. Electron Lett. ,2002 , 38 (2) :71
- [53] Ryu W , Lee J , Kim H *et al.* IEEE Trans Adv. Pack ,2000 , 23 (3) :398



无锡市苏威试验设备有限公司

WUXI SUWEI TESTING EQUIPMENT CO., LTD.

苏威公司是一家集科研、设计及制造各类模拟气候环境试验设备的专业性企业。本公司现已通过 ISO 9001:2000 质量管理体系认证。产品有：适于作步入式恒温、高低温、高低温湿热、高低温交变湿热、恒定湿热、高温恒温、盐雾腐蚀、滴水淋雨、紫外灯(氙灯)耐气候、砂尘、霉菌、振动、跌落等各种试验的试验设备。

<http://www.wxsuwei.com>



GDJS-系列

高低温交变湿热试验箱 高低温交变湿热试验箱



GDJS-系列



GDJS-系列

高低温交变湿热试验箱



YWX/Q-系列

盐雾腐蚀试验箱

地址：无锡市山北双河大庄 1 号 销售热线：0510-3725132 3723557 北京办事处：010-68633994 13671120840
 电话：0510-3019806(总机) 传真：0510-3739455 广州办事处：020-86259303 13672423931
 邮编：214037 手机：0-1390619778 西安办事处：029-87441566 13689268474